

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-050564

(43)Date of publication of application : 21.02.2003

(51)Int.Cl.

G09G 3/30

G09F 9/30

G09G 3/20

H05B 33/14

(21)Application number : 2002-134918

(71)Applicant : SONY CORP

(22)Date of filing : 10.05.2002

(72)Inventor : ASANO SHIN

(30)Priority

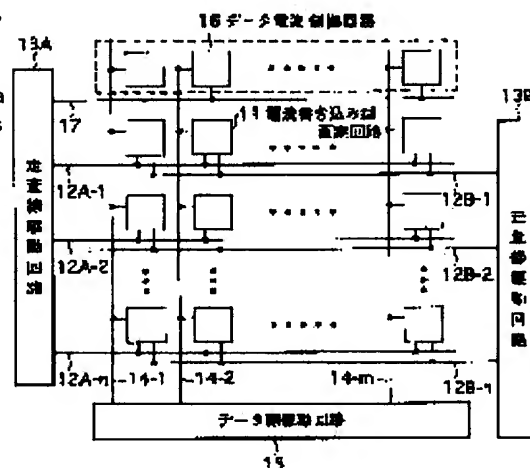
Priority number : 2001163955 Priority date : 31.05.2001 Priority country : JP

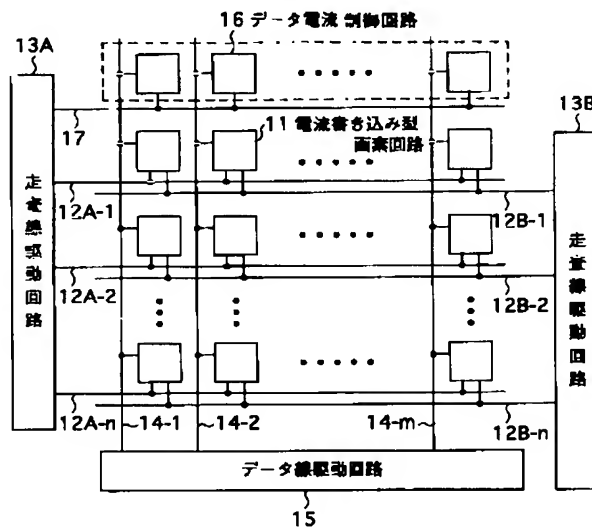
(54) ACTIVE MATRIX TYPE DISPLAY DEVICE AND ACTIVE MATRIX TYPE ORGANIC ELECTRO-LUMINESCENCE DISPLAY DEVICE, AND DRIVING METHOD THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To solve the difficulty of compatibility that a data write time has to be shortened and also a pixel circuit has to be made smaller at the same time to achieve upsizing and higher resolution of an organic EL display, which are in a trade-off relation.

SOLUTION: In an active matrix type organic EL display device using current-write type pixel circuits 11, each of data lines 14-1-14-m is provided with a data current control circuit 16, and part of data line currents for driving the data lines 14-1-14-m is supplied to the pixel circuits to which brightness data are written. Thereby the data line currents are set larger than the data currents flowing through TFTs 24, 25 in the pixel circuits 11 for allowing substantial decrease in the write time of the brightness data. Moreover, the TFT transistors arranged in the pixel circuits can be reduced in size at the same time.





【特許請求の範囲】

【請求項1】 電気光学素子を有する画素回路がマトリクス状に配置されてなる画素部と、
前記画素回路に対する輝度情報の書き込みを、データ線電流としてデータ線を介して供給するデータ線駆動手段と、
前記データ線駆動手段から供給されるデータ線電流を、前記画素回路の各々に対する輝度情報を書き込むデータ電流と、残りのバイパス電流とに分割して駆動する電流制御手段とを備えたことを特徴とするアクティブマトリクス型表示装置。

【請求項2】 前記電流制御手段は、前記画素部の同一データ線に接続される画素回路が複数個集まったブロック毎に設けられていることを特徴とする請求項1記載のアクティブマトリクス型表示装置。

【請求項3】 前記データ線電流のうち、前記バイパス電流は前記データ電流に等しい、もしくは前記バイパス電流は前記データ電流よりも大きいことを特徴とする請求項1記載のアクティブマトリクス型表示装置。

【請求項4】 前記画素回路は、
前記データ線に一端が接続され、第1の走査線によって選択・非選択の制御が行われる第1のアナログスイッチと、
前記第1のアナログスイッチの他端に接続され、この第1のアナログスイッチを介して入力されるデータ電流をデータ電圧に変換する電流-電圧変換手段と、
前記電流-電圧変換手段の出力端に一端が接続され、第2の走査線によって選択・非選択の制御が行われる第2のアナログスイッチと、
前記第2のアナログスイッチの他端に接続され、この第2のアナログスイッチを介して前記電流-電圧変換手段から供給されるデータ電圧を保持するデータ保持手段と、
前記データ保持手段に保持されたデータ電圧に応じて前記電気光学素子を駆動する駆動手段とを有することを特徴とする請求項1記載のアクティブマトリクス型表示装置。

【請求項5】 前記第1、第2のアナログスイッチはそれぞれ第1、第2の電界効果トランジスタからなり、
前記電流-電圧変換手段はドレインとゲートとが電氣的に接続され、前記データ線から前記第1アナログスイッチを介してデータ電流が供給されることによってそのゲート・ソース間にデータ電圧を発生する第3の電界効果トランジスタからなり、
前記データ保持手段は前記第3の電界効果トランジスタのゲート・ソース間に発生するデータ電圧を保持するキャパシタからなり、
前記駆動手段は前記電気光学素子に対して直列に接続され、前記第3の電界効果トランジスタと共にカレントミラー回路を形成する第4の電界効果トランジスタからなる

ことを特徴とする請求項4記載のアクティブマトリクス型表示装置。

【請求項6】 前記第1のアナログスイッチは、CMOSトランジスタからなることを特徴とする請求項5記載のアクティブマトリクス型表示装置。

【請求項7】 前記カレントミラー回路は、前記第3の電界効果トランジスタを流れるドレイン電流が、前記第4の電界効果トランジスタを流れるドレイン電流よりも大きくなるようにミラーレシオが設定されていることを特徴とする請求項5記載のアクティブマトリクス型表示装置。

【請求項8】 前記第1の電界効果トランジスタと前記第3の電界効果トランジスタとが逆導電型であることを特徴とする請求項5記載のアクティブマトリクス型表示装置。

【請求項9】 前記第1、第2、第3および第4の電界効果トランジスタがポリシリコン薄膜トランジスタからなることを特徴とする請求項5記載のアクティブマトリクス型表示装置。

【請求項10】 電気光学素子と、
前記電気光学素子に対して、データ線を通して供給されるデータ電流によって輝度データを書き込む画素回路がマトリクス状に配置されてなる画素部と、
前記データ線を駆動するデータ線電流の一部を、輝度データの書き込みが行われる画素回路へデータ電流として供給するとともに、残りのバイパス電流を同一データ線に接続されている他の画素回路の一部分を通して流すように制御する電流制御手段とを備えたことを特徴とするアクティブマトリクス型表示装置。

【請求項11】 前記データ線電流のうち、前記バイパス電流は前記データ電流に等しい、もしくは前記バイパス電流は前記データ電流よりも大きいことを特徴とする請求項10記載のアクティブマトリクス型表示装置。

【請求項12】 前記画素回路は、
前記データ線に一端が接続され、第1の走査線によって選択・非選択の制御が行われる第1のアナログスイッチと、
前記第1のアナログスイッチの他端に接続され、この第1のアナログスイッチを介して入力されるデータ電流をデータ電圧に変換する電流-電圧変換手段と、
前記電流-電圧変換手段の出力端に一端が接続され、第2の走査線によって選択・非選択の制御が行われる第2のアナログスイッチと、
前記第2のアナログスイッチの他端に接続され、この第2のアナログスイッチを介して前記電流-電圧変換手段から供給されるデータ電圧を保持するデータ保持手段と、
前記データ保持手段に保持されたデータ電圧に応じて前記電気光学素子を駆動する駆動手段とを有することを特徴とする請求項10記載のアクティブマトリクス型表示

装置。

【請求項13】 輝度データの書き込みが行われる画素回路と、輝度データの書き込みが行われない画素回路との間で前記第1の走査線を共用することを特徴とする請求項12記載のアクティブマトリクス型表示装置。

【請求項14】 前記第1、第2のアナログスイッチはそれぞれ第1、第2の電界効果トランジスタからなり、前記電流-電圧変換手段はドレインとゲートとが電氣的に接続され、前記データ線から前記第1アナログスイッチを介してデータ電流が供給されることによってそのゲート・ソース間にデータ電圧を発生する第3の電界効果トランジスタからなり、前記データ保持手段は前記第3の電界効果トランジスタのゲート・ソース間に発生するデータ電圧を保持するキャパシタからなり、前記駆動手段は前記電気光学素子に対して直列に接続され、前記第3の電界効果トランジスタと共にカレントミラー回路を形成する第4の電界効果トランジスタからなることを特徴とする請求項12記載のアクティブマトリクス型表示装置。

【請求項15】 前記第1のアナログスイッチは、CMOSトランジスタからなることを特徴とする請求項12記載のアクティブマトリクス型表示装置。

【請求項16】 前記カレントミラー回路は、前記第3の電界効果トランジスタを流れるドレイン電流が、前記第4の電界効果トランジスタを流れるドレイン電流よりも大きくなるようにミラーレシオが設定されていることを特徴とする請求項12記載のアクティブマトリクス型表示装置。

【請求項17】 前記第1の電界効果トランジスタと前記第3の電界効果トランジスタとが逆導電型であることを特徴とする請求項12記載のアクティブマトリクス型表示装置。

【請求項18】 前記第1、第2、第3および第4の電界効果トランジスタがポリシリコン薄膜トランジスタからなることを特徴とする請求項12記載のアクティブマトリクス型表示装置。

【請求項19】 電気光学素子と、
前記電気光学素子に対して、データ線を通して供給されるデータ電流によって輝度データの書き込みを行う電流書き込み型画素回路がマトリクス状に配置されてなるアクティブマトリクス型表示装置において、
前記データ線を駆動するデータ線電流を、前記画素回路の各々に対する輝度情報を書き込むデータ電流と、残りのバイパス電流とに分割して供給することを特徴とするアクティブマトリクス型表示装置の駆動方法。

【請求項20】 電気光学素子と、
前記電気光学素子に対して、データ線を通して供給されるデータ電流によって輝度データの書き込みを行う電流書き込み型画素回路がマトリクス状に配置されてなるア

クティブマトリクス型表示装置において、

前記データ線を駆動するデータ線電流の一部を、輝度データの書き込みが行われる画素回路へデータ電流として供給し、残りをバイパス電流として同一データ線に接続されている他の画素回路の一部分を通して流すことを特徴とするアクティブマトリクス型表示装置の駆動方法。

【請求項21】 第1、第2の電極およびこれら電極間に発光層を含む有機層を有する有機エレクトロルミネッセンス素子を有し、データ線を通して供給されるデータ電流によって輝度データの書き込みを行う電流書き込み型画素回路がマトリクス状に配置されてなる画素部と、前記画素回路に対する輝度情報の書き込みを、データ線電流としてデータ線を介して供給するデータ線駆動手段と、
前記データ線駆動手段から供給されるデータ線電流を、前記画素回路の各々に対する輝度情報を書き込むデータ電流と、残りのバイパス電流とに分割して駆動する電流制御手段とを備えたことを特徴とするアクティブマトリクス型有機エレクトロルミネッセンス表示装置。

【請求項22】 前記電流制御手段は、前記画素部の同一データ線に接続される画素回路が複数個集まったブロック毎に設けられていることを特徴とする請求項21記載のアクティブマトリクス型有機エレクトロルミネッセンス表示装置。

【請求項23】 前記データ線電流のうち、前記バイパス電流は前記データ電流に等しい、もしくは前記バイパス電流は前記データ電流よりも大きいことを特徴とする請求項21記載のアクティブマトリクス型有機エレクトロルミネッセンス表示装置。

【請求項24】 前記画素回路は、
前記データ線に一端が接続され、第1の走査線によって選択・非選択の制御が行われる第1のアナログスイッチと、

前記第1のアナログスイッチの他端に接続され、この第1のアナログスイッチを介して入力されるデータ電流をデータ電圧に変換する電流-電圧変換手段と、
前記電流-電圧変換手段の出力端に一端が接続され、第2の走査線によって選択・非選択の制御が行われる第2のアナログスイッチと、

前記第2のアナログスイッチの他端に接続され、この第2のアナログスイッチを介して前記電流-電圧変換手段から供給されるデータ電圧を保持するデータ保持手段と、

前記データ保持手段に保持されたデータ電圧に応じて前記電気光学素子を駆動する駆動手段とを有することを特徴とする請求項21記載のアクティブマトリクス型有機エレクトロルミネッセンス表示装置。

【請求項25】 前記第1、第2のアナログスイッチはそれぞれ第1、第2の電界効果トランジスタからなり、前記電流-電圧変換手段はドレインとゲートとが電氣的

に接続され、前記データ線から前記第1アナログスイッチを介してデータ電流が供給されることによってそのゲート・ソース間にデータ電圧を発生する第3の電界効果トランジスタからなり、

前記データ保持手段は前記第3の電界効果トランジスタのゲート・ソース間に発生するデータ電圧を保持するキャパシタからなり、

前記駆動手段は前記電気光学素子に対して直列に接続され、前記第3の電界効果トランジスタと共にカレントミラー回路を形成する第4の電界効果トランジスタからなることを特徴とする請求項24記載のアクティブマトリクス型有機エレクトロルミネッセンス表示装置。

【請求項26】 前記第1のアナログスイッチは、CMOSトランジスタからなることを特徴とする請求項25記載のアクティブマトリクス型有機エレクトロルミネッセンス表示装置。

【請求項27】 前記カレントミラー回路は、前記第3の電界効果トランジスタを流れるドレイン電流が、前記第4の電界効果トランジスタを流れるドレイン電流よりも大きくなるようにミラーレシオが設定されていることを特徴とする請求項25記載のアクティブマトリクス型有機エレクトロルミネッセンス表示装置。

【請求項28】 前記第1の電界効果トランジスタと前記第3の電界効果トランジスタとが逆導電型であることを特徴とする請求項25記載のアクティブマトリクス型有機エレクトロルミネッセンス表示装置。

【請求項29】 前記第1、第2、第3および第4の電界効果トランジスタがポリシリコン薄膜トランジスタからなることを特徴とする請求項25記載のアクティブマトリクス型有機エレクトロルミネッセンス表示装置。

【請求項30】 第1、第2の電極およびこれら電極間に発光層を含む有機層を有する有機エレクトロルミネッセンス素子を有し、データ線を通して供給されるデータ電流によって輝度データの書き込みを行う電流書き込み型画素回路がマトリクス状に配置されてなる画素部と、前記データ線を駆動するデータ線電流の一部を、輝度データの書き込みが行われる画素回路へデータ電流として供給するとともに、残りのバイパス電流を同一データ線に接続されている他の画素回路の一部分を通して流すように制御する電流制御手段とを備えたことを特徴とするアクティブマトリクス型有機エレクトロルミネッセンス表示装置。

【請求項31】 前記電流制御手段から前記画素回路に供給されるデータ電流が、前記駆動手段によって駆動される電流よりも大きいことを特徴とする請求項30記載のアクティブマトリクス型有機エレクトロルミネッセンス表示装置。

【請求項32】 前記画素回路は、前記データ線に一端が接続され、第1の走査線によって選択・非選択の制御が行われる第1のアナログスイッチ

と、

前記第1のアナログスイッチの他端に接続され、この第1のアナログスイッチを介して入力されるデータ電流をデータ電圧に変換する電流-電圧変換手段と、

前記電流-電圧変換手段の出力端に一端が接続され、第2の走査線によって選択・非選択の制御が行われる第2のアナログスイッチと、

前記第2のアナログスイッチの他端に接続され、この第2のアナログスイッチを介して前記電流-電圧変換手段から供給されるデータ電圧を保持するデータ保持手段と、

前記データ保持手段に保持されたデータ電圧に応じて前記電気光学素子を駆動する駆動手段とを有することを特徴とする請求項30記載のアクティブマトリクス型有機エレクトロルミネッセンス表示装置。

【請求項33】 輝度データの書き込みが行われる画素回路と、輝度データの書き込みが行われない画素回路との間で前記第1の走査線を共用することを特徴とする請求項32記載のアクティブマトリクス型有機エレクトロルミネッセンス表示装置。

【請求項34】 前記第1、第2のアナログスイッチはそれぞれ第1、第2の電界効果トランジスタからなり、前記電流-電圧変換手段はドレインとゲートとが電氣的に接続され、前記データ線から前記第1アナログスイッチを介してデータ電流が供給されることによってそのゲート・ソース間にデータ電圧を発生する第3の電界効果トランジスタからなり、

前記データ保持手段は前記第3の電界効果トランジスタのゲート・ソース間に発生するデータ電圧を保持するキャパシタからなり、

前記駆動手段は前記電気光学素子に対して直列に接続され、前記第3の電界効果トランジスタと共にカレントミラー回路を形成する第4の電界効果トランジスタからなることを特徴とする請求項32記載のアクティブマトリクス型有機エレクトロルミネッセンス表示装置。

【請求項35】 前記第1のアナログスイッチは、CMOSトランジスタからなることを特徴とする請求項32記載のアクティブマトリクス型有機エレクトロルミネッセンス表示装置。

【請求項36】 前記カレントミラー回路は、前記第3の電界効果トランジスタを流れるドレイン電流が、前記第4の電界効果トランジスタを流れるドレイン電流よりも大きくなるようにミラーレシオが設定されていることを特徴とする請求項32記載のアクティブマトリクス型有機エレクトロルミネッセンス表示装置。

【請求項37】 前記第1の電界効果トランジスタと前記第3の電界効果トランジスタとが逆導電型であることを特徴とする請求項32記載のアクティブマトリクス型有機エレクトロルミネッセンス表示装置。

【請求項38】 前記第1、第2、第3および第4の電

界効果トランジスタがポリシリコン薄膜トランジスタからなることを特徴とする請求項3記載のアクティブマトリクス型有機エレクトロルミネッセンス表示装置。

【請求項39】 第1、第2の電極およびこれら電極間に発光層を含む有機層を有する有機エレクトロルミネッセンス素子を有し、データ線を通して供給されるデータ電流によって輝度データの書き込みを行う電流書き込み型画素回路がマトリクス状に配置されてなるアクティブマトリクス型有機エレクトロルミネッセンス表示装置において、前記データ線を駆動するデータ線電流を、前記画素回路の各々に対する輝度情報を書き込むデータ電流と、残りのバイパス電流とに分割して供給することとを特徴とするアクティブマトリクス型有機エレクトロルミネッセンス表示装置の駆動方法。

【請求項40】 第1、第2の電極およびこれら電極間に発光層を含む有機層を有する有機エレクトロルミネッセンス素子を有し、データ線を通して供給されるデータ電流によって輝度データの書き込みを行う電流書き込み型画素回路がマトリクス状に配置されてなるアクティブマトリクス型有機エレクトロルミネッセンス表示装置において、前記データ線を駆動するデータ線電流を、輝度データの書き込みが行われる画素回路へデータ電流として供給し、残りをバイパス電流として同一データ線に接続されている他の画素回路の一部分を通して流すことを特徴とするアクティブマトリクス型有機エレクトロルミネッセンス表示装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、画素ごとに能動素子を有して当該能動素子によって画素単位で表示制御が行われるアクティブマトリクス型表示装置およびその駆動方法に関し、特に流れる電流に応じて輝度が変化する電気光学素子を画素の表示素子として用いるアクティブマトリクス型表示装置、電気光学素子として有機材料のエレクトロルミネッセンス(以下、有機EL(electroluminescence)と記す)素子を用いるアクティブマトリクス型有機EL表示装置およびそれらの駆動方法に関する。

【0002】

【従来の技術】表示装置、例えば画素の表示素子として液晶セルを用いた液晶ディスプレイなどにおいては、多数の画素をマトリクス状に配列し、表示すべき画像情報に応じて画素ごとに光強度を制御することによって画像の表示駆動が行われるようになっている。この表示駆動は、画素の表示素子として電流制御型の電気光学素子、例えば有機EL素子を用いた有機ELディスプレイなどでも同様である。

【0003】有機EL素子は、発光層を含む有機材料からなる有機層を2つの電極で挟み込む構造を持ち、素子

に電圧を印加することにより、陰極から電子が、陽極から正孔が有機層に注入され、電子・正孔が再結合して発光が生じるものである。この有機EL素子は、10V以下の駆動電圧で数100～数10000cd/m²の輝度が得られ、また自発光素子であり、画像のコントラストが高く、応答速度が速いなどの特長を有する。したがって、この有機EL素子を画素の表示素子として用いた有機ELディスプレイは、次世代のフラットパネルディスプレイとして有望視されている。

【0004】有機ELディスプレイの駆動方式としては、単純(パッシブ)マトリクス方式とアクティブマトリクス方式とが挙げられる。単純マトリクス方式は各画素の発光素子が選択された瞬間にのみ発光する方式であり、構造が単純である反面、大型かつ高精細のディスプレイの実現が難しいなどの問題がある。これに対して、アクティブマトリクス方式は、各画素における有機EL素子の発光を1フレーム期間に亘って保持できる方式であり、ディスプレイの大型化・高精細化・高輝度化に適した駆動方式と言える。

【0005】アクティブマトリクス型有機ELディスプレイにおいて、各画素の輝度制御を行うための画素回路では、能動素子としてポリシリコン薄膜トランジスタ(Thin Film Transistor; TFT)を用いるのが一般的である。ここで、薄膜トランジスタの特性ばらつきを抑えること、また回路的に薄膜トランジスタの特性ばらつきを補償することは、画素回路に薄膜トランジスタを用いたアクティブマトリクス型有機ELディスプレイにおける大きな課題である。これは、以下に述べる理由による。

【0006】画素の表示素子として液晶セルを用いた液晶ディスプレイでは、各画素の輝度データを電圧値によって制御する。これに対して、有機ELディスプレイでは、各画素の輝度データを電流値によって制御する。ここで、電圧書き込み型画素回路を用いた最も簡単なアクティブマトリクス型有機ELディスプレイの構成の概略を図13に、電圧書き込み型画素回路の回路構成を図14にそれぞれ示す。

【0007】図13に示すように、アクティブマトリクス型有機ELディスプレイは、画素回路101をマトリクス状に多数並べ、走査線102-1～102-nを走査線駆動回路103によって順次選択しながら、電圧駆動型のデータ線駆動回路104からデータ線105-1～105-mを通して輝度データを電圧で供給することによって輝度データの書き込みを繰り返す構成となっている。ここでは、m列n行の画素配列を示している。この場合、当然のことながら、データ線がm本、走査線がn本となる。

【0008】電圧書き込み型画素回路101は、図14から明らかなように、カソード(陰極)が第1の電源(例えば、負電源)に接続された有機EL素子111と、ドレインが有機EL素子111のアノード(陽極)

に接続され、ソースが第2の電源（例えば、グラウンド）に接続されたPチャネルTFT112と、TFT112のゲートと第2の電源との間に接続されたキャパシタ113と、ドレインがTFT112のゲートに、ソースがデータ線105（105-1～105-m）に、ゲートが走査線102（102-1～102-n）にそれぞれ接続されたNチャネルTFT114とを有する構成となっている。

【0009】上記構成の画素回路101において、TFT114は輝度データを書き込む画素の選択を行うとともに、キャパシタ113に対する輝度データの電圧保持

$$L_{el} \propto I_{el} \\ = k (V_{data} - V_{th})^2 \quad \dots\dots (1)$$

なお、 $k = 1/2 \cdot \mu \cdot C_{ox} \cdot W/L$ である。ここで、 μ はTFT112の移動度、 C_{ox} は単位面積当たりのゲート容量、 W はゲート幅、 L はゲート長である。

【0011】上記式（1）から明らかなように、有機EL素子111に供給される電流値、即ち有機EL素子111の発光輝度は、TFT112の移動度 μ （ $\propto k$ ）および閾値電圧 V_{th} のばらつきの影響を受ける。実際、TFTの形成に使用されるアモルファスシリコン（非晶質シリコン）やポリシリコン（多結晶シリコン）は、単結晶シリコンに比べて結晶性が悪く、導電機構の制御性が悪いことが知られており、したがってTFTのトランジスタ特性のばらつきが大きい。そのため、電圧書き込み型画素回路を用いて自然画表示が可能な階調数を有する高品位な有機ELディスプレイを作製することは困難である。

【0012】この問題を解決する方法の一つとして、輝度データの書き込みを電流で行う電流書き込み型画素回路が本出願人によって提案されている（国際公開第01/06484号パンフレットを参照）。この電流書き込み型画素回路の構成の一例を図15に示す。

【0013】電流書き込み型画素回路は、図15から明らかなように、カソードが第1の電源（例えば、負電源）に接続された有機EL素子121と、ドレインが有機EL素子121のアノードに接続され、ソースが第2の電源（例えば、グラウンド）に接続されたPチャネルTFT122と、このTFT122のゲートと第2の電源との間に接続されたキャパシタ123と、ドレインがデータ線128に、ゲートが第1の走査線127Aにそれぞれ接続されたNチャネルTFT124と、ドレインおよびゲートがTFT124のソースに接続され、ソースが第2の電源に接続されたPチャネルTFT125と、ドレインがTFT125のドレインおよびゲートに、ソースがTFT122のゲートに、ゲートが第2の走査線127Bにそれぞれ接続されたNチャネルTFT126とを有する構成となっている。

【0014】上記構成の電流書き込み型画素回路において、TFT124、126はアナログスイッチとして機

の制御を行う。キャパシタ113は、TFT114を通して与えられる輝度データ電圧を保持する。TFT112は、キャパシタ113に保持された輝度データ電圧に応じて有機EL素子111を駆動する。

【0010】ここで、有機EL素子111の発光輝度を L_{el} 、有機EL素子111に流れる電流を I_{el} 、TFT112の閾値電圧を V_{th} 、比例定数を k 、キャパシタ113に保持されるデータ電圧を V_{data} とすると、TFT112を飽和領域で用いる場合、次式が成り立つ。

能する。TFT125は、書き込む輝度データ電流を電圧に変換する。キャパシタ123は、TFT125で電圧に変換された輝度データ電圧を保持する。TFT122は、キャパシタ123に保持された輝度データ電圧を電流に変換し、この変換した電流を有機EL素子121に流す。ここで、TFT125とTFT122とはカレントミラー回路を形成している。

【0015】この電流書き込み型画素回路をマトリクス状に配置することで、図16に示すアクティブマトリクス型有機ELディスプレイが構成される。図16において、マトリクス状に m 列 n 行分配置された電流書き込み型の画素回路131の各々に対して、各行ごとに第1の走査線127A-1～127A-nと第2の走査線127B-1～127B-nが配線されている。そして、第1の走査線127A-1～127A-nに対して図15のTFT124のゲートが、第2の走査線127B-1～127B-nに対して図15のTFT126のゲートがそれぞれ画素ごとに接続される。

【0016】この画素部の左側には第1の走査線127A-1～127A-nを駆動する第1の走査線駆動回路132Aが、画素部の右側には第2の走査線127B-1～127B-nを駆動する第2の走査線駆動回路132Bがそれぞれ設けられている。また、画素回路131の各々に対し、各列ごとにデータ線133-1～133-mが配線されている。これらデータ線133-1～133-mの各一端は、電流駆動型データ線駆動回路134の各列の出力端に接続されている。そして、このデータ線駆動回路134によってデータ線133-1～133-mを通して各画素に対して輝度データ電流の書き込みが行われる。

【0017】上記構成のアクティブマトリクス型有機ELディスプレイにおいて、 i 列目のデータ線128- i に接続される複数の画素回路131-k-1～131-k+2の回路構成を図17に、またその駆動のタイミング関係を図18にそれぞれ示す。

【0018】選択された画素回路に対して、データ線128- i を通して輝度データ電流を書き込むとき、第1

の走査線（図中、WS (Write Scan) で示す）、第2の走査線（図中、ES (Erase Scan) で示す）を選択し、TFT124およびTFT126（図15を参照）をオン状態とする。このとき、輝度データ電流をTFT125で電圧に変換し、この変換された電圧をキャパシタ123で保持する。そして、このキャパシタ123で保持された輝度データ電圧をTFT122で輝度データ電流に変換して有機EL素子121に流すことにより、当該有機EL素子121に流す電流は、

$$Le1 \propto Ie1$$

$$= (W2/L2) / (W1/L1) \cdot Iw \cdots (2)$$

【0020】上記式(2)から明らかなように、書き込まれたデータ電流Iwと有機EL素子121に流れる電流Ie1とは比例関係にある。また、画素内の局所領域に配置されてカレントミラー回路を形成するTFT125、122のトランジスタ特性にばらつきがなければ、ディスプレイの発光輝度のばらつきが補償される。したがって、電流書き込み型画素回路を用いることで、表示階調数の多い、即ち自然画表示が可能な階調数を有する有機ELディスプレイの実現が可能となる。

【0021】

【発明が解決しようとする課題】しかしながら、上述した電流書き込み型画素回路を用いたアクティブマトリクス型有機ELディスプレイでは、小さな輝度データを画素回路に書き込むとき、即ち低電流を画素回路に書き込む必要があるときに、データ線のインピーダンスが大きくなるため、データ電流の書き込みに必要な書き込み時間が大きくなる。実際に、1画素のサイズが数100 μ m²以下であるとき、1画素の有機EL素子に流れる電流がたかだか数10 μ A以下であり、多階調、例えば256階調の表示を行うためには、数〜数10nA以下の電流を制御する必要がある。

【0022】このデータ電流の書き込み時間を短くするには、カレントミラー回路のミラーレシオを $(W2/L2) < (W1/L1)$ とし、書き込みデータ電流を大きくすれば良い。ところが、書き込み電流を大きくすると、TFT124、125に大きな電流を流す必要が生じ、TFT124、125のサイズを大きくせざるを得ないため、画素回路のサイズが大きくなる。すなわち、電流書き込み型画素回路を用いた有機ELディスプレイでは、データ書き込み時間を短くすることと、画素回路のサイズを小さくすることとはトレードオフの関係にある。

【0023】一方、走査線数をNscan、フレーム周波数をfとすると、データ書き込み時間Twriteは、次式で表される。

$$Twrite = 1 / (f \cdot Nscan) \cdots (3)$$

上記式(3)から明らかなように、有機ELディスプレイの大型化・高精細化を図るためには、データ書き込み時間Twriteを短くすると同時に、画素回路のサイズを小さくする必要が生じる。すなわち、トレードオフ

の関係にある両者、即ちデータ書き込み時間を短くすることと、画素回路のサイズを小さくすることを同時に満足する必要がある。

【0019】ここで、TFT125のゲート幅をW1、ゲート長をL1とし、TFT122のゲート幅をW2、ゲート長をL2とすると、書き込みデータ電流Iw、各画素回路131-k-1〜131-k+2の有機EL素子121の発光輝度Le1、有機EL素子121に流れる電流Ie1は、次式の関係を満たす。

の関係にある両者、即ちデータ書き込み時間を短くすることと、画素回路のサイズを小さくすることを同時に満足する必要がある。

【0024】本発明は、上記課題に鑑みてなされたものであり、その目的とするところは、電流書き込み型画素回路を用いた場合において、画素回路内のトランジスタサイズの大型化を抑制しつつ、データ書き込み時間を短縮することにより、ディスプレイの大型化・高精細化を可能としたアクティブマトリクス型表示装置およびアクティブマトリクス型有機EL表示装置、並びにそれらの駆動方法を提供することにある。

【0025】

【課題を解決するための手段】上記目的を達成するために、本発明では、電気光学素子を有する画素回路がマトリクス状に配置されてなる画素部と、画素回路に対する輝度情報の書き込みを、データ線電流としてデータ線を介して供給するデータ線駆動手段と、データ線駆動手段から供給されるデータ線電流を、画素回路の各々に対する輝度情報を書き込むデータ電流と、残りをバイパス電流として駆動する電流制御手段（以下、実施例では「データ線制御回路」と記す）とを備える。

【0026】本発明の特徴部分である電流制御手段では、データ線電流のうち、バイパス電流の供給を受け持つ。これによって、画素回路内に設けられたTFTに流れるデータ電流の書き込み時間を大幅に短縮可能とする。また、書き込み時間を同じとすれば、画素回路内に設けられたTFTのトランジスタサイズを小型化することができる。ここで、本発明で用いられる電気光学素子としては、例えば、第1、第2の電極およびこれら電極間に発光層を含む有機層を有する有機EL素子が用いられる。

【0027】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0028】〔第1実施形態〕図1は、本発明の第1実施形態に係るアクティブマトリクス型表示装置を示す概略構成図である。ここでは、流れる電流によって輝度に変化する電流制御型電気光学素子として有機EL素子を、能動素子としてポリシリコン薄膜トランジスタをそれぞれ用い、ポリシリコン薄膜トランジスタを形成した

基板上に有機EL素子を形成してなるアクティブマトリクス型有機EL表示装置に適用した場合を例に採って説明するものとする。後述する各実施形態においても同様とする。

【0029】図1において、電流書き込み型画素回路11がマトリクス状にm列n行分配配置されている。これら画素回路11の各々に対し、各行ごとに第1の走査線12A-1~12A-nと第2の走査線12B-1~12B-nが配線されている。この画素部の左側には第1の走査線12A-1~12A-nを駆動する第1の走査線駆動回路13Aが、画素部の右側には第2の走査線12B-1~12B-nを駆動する第2の走査線駆動回路13Bがそれぞれ設けられている。

【0030】画素回路11の各々に対して、各列ごとにデータ線14-1~14-mが配線されている。これらデータ線14-1~14-mの各一端は、電流駆動型のデータ線駆動回路15の各列の出力端に接続されている。このデータ線駆動回路15は、データ線14-1~14-mを通して画素回路11の各々に対して輝度データ電流の書き込みを行う。また、画素部の例えば上端部には、各列ごとにデータ電流制御回路16が例えば1個ずつ設けられている。これらデータ電流制御回路16に対しては、電流制御走査線17が共通に配線されている。この電流制御走査線17は、第1の走査線駆動回路13Aによって駆動される。

【0031】上記構成のアクティブマトリクス型有機EL表示装置において、i列目のデータ線14-iに接続される複数の画素回路11-k-1~11-k+2の回路構成を図2に示す。ここで、画素回路11-kを例に採ってその具体的な回路構成について説明する。なお、他の画素回路についても全く同じ回路構成であることは勿論である。また、この回路構成は図15に示した4トランジスタ(TFT)の画素回路と基本的に同じ構成となっている。但し、アナログスイッチとして、図15の回路ではNチャネルTFT126を用いるのに対して、本例に係る回路ではPチャネルTFT26を用いている点で相違している。

【0032】画素回路11-kは、カソードが第1の電源(例えば、負電源)に接続された有機EL素子21と、ドレインが有機EL素子21のアノードに接続され、ソースが第2の電源(例えば、グランド)に接続されたPチャネルTFT22と、このTFT22のゲートと第2の電源との間に接続されたキャパシタ23と、ドレインがデータ線14-iに、ゲートが第1の走査線12A-kにそれぞれ接続されたNチャネルTFT24と、ドレインおよびゲートがTFT24のソースに接続され、ソースが第2の電源に接続されたPチャネルTFT25と、ドレインがTFT25のドレインおよびゲートに、ソースがTFT22のゲートに、ゲートが第2の走査線12B-kにそれぞれ接続されたPチャネルTFT

26とを有する構成となっている。

【0033】上記構成の電流書き込み型画素回路11-kにおいて、TFT24、26はアナログスイッチとして機能する。TFT25は、書き込む輝度データ電流を電圧に変換する。キャパシタ23は、TFT25で電圧に変換された輝度データ電圧を保持する。TFT22は、キャパシタ23に保持された輝度データ電圧を電流に変換することによって有機EL素子21を駆動する。TFT25とTFT22とは、ほぼ同一の特性を有してカレントミラー回路を形成している。

【0034】ここで、TFT24のゲート幅をW11、ゲート長をL11、TFT25のゲート幅をW12、ゲート長をL12とする。また、TFT24、25に流れる電流をIw1とする。通常、ゲート長は、デバイスの作成プロセスによって制限されることから、以下の説明では、ゲート長Lは変化しないものとする。

【0035】データ電流制御回路16は、図2(A)から明らかなように、ドレインがデータ線14-iに、ゲートが電流制御走査線17にそれぞれ接続されたNチャネルTFT27と、ドレインおよびゲートがTFT24のソースに接続され、ソースが接地されたPチャネルTFT28とを有する構成となっている。このデータ電流制御回路16において、TFT27、28のサイズの比は、画素回路11-k内のTFT24、25のサイズの比と同じであるとする。ここで、TFT27のゲート幅をW21、ゲート長をL21、TFT28のゲート幅をW22、ゲート長をL22とする。また、TFT27、28に流れる電流をIw2とする。

【0036】また、図2(B)は本発明の回路動作の概念図を示している。図2(B)に示すように、データ線17を流れるデータ線電流(I_{data line})と、データ線制御回路16を流れるバイパス電流(I_{bypass})および画素回路11を流れるデータ電流(I_{data})の関係は次式で表わすことができる。

$$I_{data\ line} = I_{data} + I_{bypass} \quad (\text{好ましくは、} I_{data} \leq I_{bypass})$$

そして、データ線制御回路16を流れるバイパス電流および画素回路11を流れるデータ電流は、その入力インピーダンスにより決定される(データ線制御回路16の入力インピーダンスによって決定される電流をバイパス電流と定義する)。このように、データ線電流の一部をバイパス電流によって代替することにより、画素回路11内のTFT24、25に流れるデータ電流よりもデータ線電流を大きく設定して、輝度データの書き込み時間を大幅に短縮可能とする。また、書き込み時間を同じとするならば、画素回路内に設けられたTFT24、25のトランジスタサイズを小型化することができ、これらは任意に設定される。

【0037】図3に、i列目の画素回路11-k-1~11-k+2の駆動のタイミング関係を示す。なお、図

2および図3において、第1の走査線 $12A-k-1 \sim 12A-k+2$ を $WSk-1 \sim WSk+2$ として、第2の走査線 $12B-k-1 \sim 12B-k+2$ を $ESk-1 \sim ESk+2$ として、電流制御走査線17をLSとしてそれぞれ示している。

【0038】今、k行目の画素回路に対して輝度データの書き込みを行うものとする、第1の走査線 WSk および第2の走査線 ESk が共に選択される。また、電流制御走査線LSは常に選択されているものとする。ここで、データ線 $14-i$ を駆動するデータ線電流を $Iw0$

$$R:1:(R+1) = (W11/L11):(W21/L21):(W01/L01) \\ = (W12/L12):(W22/L22):(W02/L02)$$

となる。

【0040】ここで、例えば $R=1$ とし、先述したように、ゲート長Lは変化しないものとする、

$$W11=W21=1/2 \cdot W01$$

$$L11=L21=L01$$

$$W12=W22=1/2 \cdot W02$$

$$L12=L22=L02$$

となる。

【0041】すなわち、画素回路 $11-k$ に同じ電流値のデータ電流 $Iw1$ を流すものと仮定した場合、画素回路 $11-k$ 内のTFT24、25のゲート幅 $W11$ 、 $W12$ を、従来回路のTFT124、125のゲート幅 $W01$ 、 $W02$ の $1/2$ にすることが可能となる。換言すれば、画素回路内のトランジスタサイズを従来と同じに設定するとした場合、データ線 $14-i$ を駆動するデータ線電流 $Iw0$ を大幅に増大できることになる。

【0042】上述したように、電流書き込み型画素回路11を用いたアクティブマトリクス型有機EL表示装置において、データ線 $14-1 \sim 14-m$ ごとにデータ電流制御回路16を設け、データ線 $14-1 \sim 14-m$ を駆動するデータ線電流 $Iw0$ の一部を、輝度データを書き込む画素回路に供給し、残りの電流をデータ電流制御回路16を通して流すことにより、画素回路11内のTFT24、25のサイズの大型化を抑制しつつ、これらTFT24、25に流れるデータ電流 $Iw1$ よりもデータ線電流 $Iw0$ を大きく設定することが可能になる。これにより、データ書き込み時間を大幅に短縮できるため、有機EL表示装置の大型化・高精細化を図ることが可能となる。

【0043】ただし、トランジスタの特性ばらつきを補償するためには、カレントミラー回路を形成する書き込み側のTFT25、28と駆動側のTFT22とのトランジスタ特性が揃っていることが要求される。換言すれば、TFT28を含むデータ電流制御回路16を画素回路11から遠く離れた位置に配置すると、トランジスタの特性ばらつきが十分に補償されないことになる。

【0044】そこで、画素回路11を列方向において一定の領域に区切って複数個ずつブロック化、即ち同一デ

とし、このデータ線電流 $Iw0$ のうち、画素回路 $11-k$ 内に流れるデータ電流 $Iw1$ とデータ電流制御回路16内に流れる残りの電流 $Iw2$ との比Rを、 $R=Iw1/Iw2$ とすると、このとき、以下の関係式が成り立つ。

$$R:1:(R+1) = Iw1:Iw2:Iw0$$

【0039】従来例に係る画素回路(図15を参照)において、TFT24に対応するTFT124のゲート幅を $W01$ 、ゲート長を $L01$ 、TFT25に対応するTFT125のゲート幅を $W02$ 、ゲート長を $L02$ とすると、

ータ線に接続される画素回路を複数個ずつブロック化し、1本のデータ線につきそのブロックごとにデータ電流制御回路16を例えば1個ずつ設ける構成を採ることにより、トランジスタの特性ばらつきを十分に補償することが可能となる。ここで、画素回路11がマトリクス状に配置されてなる画素部において、データ線 $14-1 \sim 14-m$ に沿った方向、即ち縦方向を列方向と定義することとする。

【0045】[第2実施形態]次に、本発明の第2実施形態に係るアクティブマトリクス型表示装置について説明する。本実施形態に係るアクティブマトリクス型表示装置は、回路構成上、図1に示した第1実施形態に係るアクティブマトリクス型表示装置において、データ電流制御回路16を省いた構成、即ち図16に示した従来例に係るアクティブマトリクス型表示装置と同じ構成を採っている。

【0046】この構成において、本実施形態に係るアクティブマトリクス型表示装置では、書き込みを行っていない画素回路を、データ電流制御回路(バイパス電流)として利用することで、第1実施形態に係るアクティブマトリクス型表示装置と同等の機能を実現している。本実施形態に係るアクティブマトリクス型表示装置の駆動方法について、以下に具体的に説明する。

【0047】第2実施形態に係るアクティブマトリクス型表示装置において、i列目のデータ線 $14-i$ に接続される複数の画素回路 $11-k-1 \sim 11-k+2$ の回路構成を図4に示す。これら画素回路 $11-k-1 \sim 11-k+2$ の各画素回路の構成は、第1実施形態に係る画素回路と同じ4トランジスタ(TFT)を有する電流書き込み型画素回路の構成となっている。また、図5および図6に、複数の画素回路 $11-k-1 \sim 11-k+2$ の駆動のタイミング関係を示す。

【0048】図5および図6のいずれの例でも、列方向において連続したx個(本例では、 $x=2$)の画素回路が同時に選択される。このように、2つの画素回路を同時選択した際に、1つの画素回路については、データ線を駆動するデータ線電流の一部を輝度データ電流として書き込む。このとき、他の1つの画素回路の一部分につ

いては、輝度データ電流の書き込みを行わないが、データ線電流の残りを流すデータ電流制御回路（バイパス電流）として利用する。

【0049】特に、図6の例では、列方向において連続した x 個（本例では、 $x=2$ ）の画素回路を1つのブロックとして、このブロック内の1つの画素回路についてデータ電流を書き込むとき、同一ブロック内の他の画素回路についてはデータ電流の書き込みを行わず、バイパス電流として利用するようにしている。このとき、データ電流の書き込みを行っている画素回路では、第1の走査線 WS と第2の走査線 ES が共に選択される。例えば、図4において、画素回路 $11-k-1$ をデータ電流の書き込みを行う画素回路とすると、 WS_{k-1} 、 ES_{k-1} の両方が選択される。

【0050】一方、データ電流の書き込みを行わないが、バイパス電流として利用される画素回路では、第1の走査線 WS のみが選択される。図4の例では、 WS_k が選択され、第2の走査線 ES_k は選択されない。これにより、 TFT_{24} 、 25 がバイパス電流として利用されるデータ電流制御回路として機能する。すなわち、図4に示す画素回路において、第2の走査線 ES_k が選択されず、 TFT_{26} がオフ状態にあるため、キャパシタ 23 に保持された輝度データに応じた電荷は TFT_{26} を通して放電されることなく、保持されたままとなる。このとき、一部分の回路、即ち TFT_{24} 、 25 のみがデータ電流制御回路（バイパス電流）として機能することになる。

【0051】ここで、 TFT_{24} のゲート幅が $W11$ 、ゲート長が $L11$ 、 TFT_{25} のゲート幅が $W12$ 、ゲート長を $L12$ であり、またこれら TFT_{24} 、 25 に流れるデータ電流が $Iw1$ である。このとき、データ線電流 $Iw0$ との間に、次の関係式が成り立つ。

$$Iw0 = x \cdot Iw1$$

【0052】したがって、

$$1 : x = Iw1 : Iw0$$

となり、従来例に係る画素回路（図15を参照）における TFT_{124} のゲート幅 $W01$ 、ゲート長 $L01$ 、 TFT_{125} のゲート幅 $W02$ 、ゲート長 $L02$ との間に、次の関係式が成り立つ。

$$Iw0 = x \cdot Iw1$$

$$= (W11/L11) : (W01/L01)$$

$$= (W12/L12) : (W02/L02)$$

【0053】例えば、先述したように、ゲート長は変化しないものとする、

$$W11 = 1/x \cdot W01$$

$$L11 = L01$$

$$W12 = 1/x \cdot W02$$

$$L12 = L02$$

となる。

【0054】すなわち、画素回路 $11-k$ に同じ電流値

のデータ電流の書き込みを行うものと仮定した場合、画素回路 $11-k$ 内の TFT_{24} 、 25 のゲート幅 $W11$ 、 $W12$ を、従来回路の TFT_{124} 、 125 のゲート幅 $W01$ 、 $W02$ の $1/x$ にすることが可能となる。換言すれば、画素回路内のトランジスタサイズを従来と同じに設定するとした場合、データ線電流 $Iw0$ を大幅に増大できることになる。

【0055】上述したように、電流書き込み型画素回路 11 を用いたアクティブマトリクス型有機EL表示装置において、列方向において隣り合う2つの画素回路を同時に選択し、データ線電流 $Iw0$ の一部を輝度データの書き込みを行う画素回路に供給し、残りの電流については他方の画素回路の一部分をバイパス電流として利用して流すようにしたことにより、画素回路 11 内の TFT_{24} 、 25 のサイズの大型化を抑制しつつ、これら TFT_{24} 、 25 に流れるデータ電流 $Iw1$ よりもデータ線電流 $Iw0$ を大きく設定することが可能になる。これにより、データ書き込み時間を大幅に短縮できるため、有機EL表示装置の大型化・高精細化を図ることが可能となる。

【0056】なお、本実施形態においては、データ電流の書き込みを行うとき、列方向において隣り合う2つ（ $x=2$ ）の画素回路を同時に選択するとしたが、2つに限られるものではなく、さらに多くの画素回路を同時に選択することが可能である。選択する画素回路の個数を増やして、データ電流パルスとして利用する画素回路数を多くすることにより、画素回路内のトランジスタサイズをさらに小さくすること、換言すればデータ線電流 $Iw0$ の電流値をさらに増大することが可能となる。ただし、トレードオフの関係から、カレントミラー回路を形成するトランジスタ間の距離が遠くなるため、その分だけトランジスタ特性のばらつきに対する補償の効果が低下する。

【0057】また、本実施形態においては、輝度データの書き込みは行わないが、バイパス電流として利用する画素回路を、輝度データの書き込みを行う画素回路に対して列方向において隣接する画素回路としたが、必ずしも隣接する画素回路に限られるものではない。

【0058】さらに、本実施形態のように、列方向において隣接する2つの画素回路を同時選択する構成を採った場合においても、カレントミラー回路を形成するトランジスタの特性がばらついて問題が生じることが考えられる。ここで、画素回路内のトランジスタとして薄膜トランジスタを用いた場合、そのトランジスタ特性として、N型が強くなるとP型が弱くなる、もしくはP型が強くなるとN型が弱くなるというように、PチャネルとNチャネルの各トランジスタ特性のばらつきが逆方向になることが一般的に知られている。

【0059】したがって、図4に示す画素回路において、走査スイッチ用の TFT_{24} と電流-電圧変換用の

TFT25としてそれぞれ逆導電型の電界効果トランジスタ、例えばTFT24としてNチャネルの電界効果トランジスタを、TFT25としてPチャネルの電界効果トランジスタをそれぞれ用いることにより、互いにトランジスタ特性のばらつきが相殺されるため、データ線の電位のばらつきを抑制することができる。以上の理由から、TFT24、25としては、逆導電型の電界効果トランジスタを用いるのが好ましい。

【0060】以上説明した第2実施形態では、4トランジスタ構成の電流書き込み型画素回路を具備するアクティブマトリクス型表示装置の場合を例に採って説明したが、電流書き込み型画素回路としては、4トランジスタ構成の画素回路に限られるものではない。4トランジスタ以外の画素回路について以下に説明する。

【0061】図7は、4トランジスタ以外の電流書き込み型画素回路の構成例を示す回路図である。本例に係る画素回路では各列ごとに、走査用TFT24および電流-電圧変換用TFT25を例えば隣り合う2画素間で共用した構成を採っている。すなわち、第1の走査線12Aについては2画素ごとに1本の走査線 \dots , 12Ak-1, 12Ak+1, \dots が配線されており、例えばk-1画素およびk画素の2画素について見ると、走査線12Ak-1に対して走査用TFT24のゲートが接続され、その走査用TFT24のソースには電流-電圧変換用TFT25のドレイン・ゲートが接続され、さらに2画素のTFT26、26の各ドレインが接続されている。

【0062】図8に、走査用TFT24および電流-電圧変換用TFT25を2画素間で共用した画素構成を採る場合の駆動のタイミング関係を示す。基本的な動作については、先の例の場合と同じである。ここで、電流-電圧変換用TFT25を2画素間で共用できるのは、当該TFT25がデータ電流の書き込みの瞬間だけ利用される素子だからである。

【0063】このように、走査用TFT24および電流-電圧変換用TFT25を例えば隣り合う2画素間で共用した画素構成を採ることで、2画素ごとにトランジスタを2個省略することができ、トランジスタの数が2画素で6個となるため、1画素当たりのトランジスタの数としては3個となる。

【0064】ところで、データ線14-iに流れる電流は、有機EL素子21に流れる電流に比べて極めて大きな電流である。したがって、この大きな電流を直接扱う走査用TFT24および電流-電圧変換用TFT25としては、大きなトランジスタを用いることになるため、その占有面積が大きくならざるを得ない。

【0065】これに対して、本例に係る画素回路のように、走査用TFT24および電流-電圧変換用TFT25を2画素間で共用した画素構成を採ることで、TFTによる画素回路の占有面積を極めて小さくすることがで

きるため、発光部連積の拡大化あるいは画素サイズの縮小化による高解像度化が可能となる。

【0066】なお、本例では、走査用TFT24および電流-電圧変換用TFT25を2画素間で共用した回路例を示したが、これを3画素以上で共用することも可能であることは明らかである。この場合、トランジスタの削減による効果はさらに大きなものとなる。また、走査用TFT24および電流-電圧変換用TFT25の両者を共に共用するのではなく、いずれか一方のみを複数の画素間で共用する構成を採ることも可能である。

【0067】〔第3実施形態〕図9は、本発明の第3実施形態に係るアクティブマトリクス型表示装置を示す概略構成図であり、図中、図1と同等部分には同一符号を付して示している。

【0068】本実施形態に係るアクティブマトリクス型表示装置では、第2実施形態に係るアクティブマトリクス型表示装置と同様に、列方向において連続したx個の画素回路をブロック化してこれら画素回路を同時に選択し、一つの画素回路についてはデータ電流の書き込みを行い、残りの画素回路についてはバイパス電流として利用する場合に、同一ブロック内のx個の画素回路に対して第1の走査線WSを共用化した構成を採っている。

【0069】第2実施形態に係るアクティブマトリクス型表示装置において述べたように、同一ブロック内の2つの画素回路を同時に選択するときは、これら駆動回路の各走査線WSが同一動作をしていることから、同一ブロック内の走査線WSを共用することが可能となるのである。本例では、 $x=2$ とした場合に、1行目と2行目の各画素回路に対して走査線12A-1, 12A-2を、 \dots , n-1行目とn行目の各画素回路に対して走査線12A-n-1, 12A-nをそれぞれ共用した構成となっている。

【0070】第3実施形態に係るアクティブマトリクス型表示装置において、i列目のデータ線14-iに接続される複数の画素回路11-k-1~11-k+2の回路構成を図10に示す。これら画素回路11-k-1~11-k+2の各構成は、第1実施形態に係る画素回路と同じ構成、即ち4トランジスタ(TFT)を有する電流書き込み型画素回路の構成となっている。また、図11に、複数の画素回路11-k-1~11-k+2の駆動のタイミング関係を示す。

【0071】上述したように、列方向において連続したx個の画素回路をブロック化してこれら画素回路を同時に選択し、輝度データの書き込みを行う画素回路についてはデータ線電流の一部をデータ電流として書き込み、残りの画素回路についてはバイパス電流として利用する構成のアクティブマトリクス型有機EL表示装置において、同一ブロック内のx個の画素回路に対して第1の走査線WSを共用化したことにより、第1の走査線WSの本数を $1/x$ にすることができると、第2実施形態で

得られる作用効果に加えて、走査線WSの本数を削減できる分だけ列方向(縦方向)のディスプレイサイズの縮小が可能となる。

【0072】本実施形態では、列方向において連続した x 個の画素回路をブロック化するとしたが、列方向において各画素回路が必ずしも連続している必要はなく、飛び飛びの x 個の画素回路をブロック化することも可能である。この場合でも、各画素回路において配線の引き回しを行う必要性が生じるものの、同一ブロック内の x 個の画素回路に対して第1の走査線WSを共用化することが可能である。

【0073】[第4実施形態] 次に、本発明の第4実施形態に係るアクティブマトリクス型表示装置について説明する。本実施形態に係るアクティブマトリクス型表示装置の構成の概略については、図9に示した第3実施形態に係るアクティブマトリクス型表示装置と同じである。

【0074】第4実施形態に係るアクティブマトリクス型表示装置において、 i 列目のデータ線 $14-i$ に接続される複数の画素回路 $11-k-1 \sim 11-k+2$ の回路構成を図12に示す。本例に係る画素回路 $11-k-1 \sim 11-k+2$ では、図10に示す画素回路におけるNチャネルTFT24に代えて、NチャネルTFT24AとPチャネルTFT24Bとが並列接続されてなるCMOSTランジスタ27をアナログスイッチとして用いた構成となっている。そして、第1の走査線WS $k-1$ 、 k の電位が、直接NチャネルTFT24Aのゲートに、またインバータ28で反転されてPチャネルTFT24Bのゲートにそれぞれ与えられることになる。

【0075】ところで、画素回路では、面積上の制約等からアナログスイッチとして、単極性のスイッチを用いることが通常である。これに対して、例えば第2実施形態の作用効果として述べたように、列方向において隣り合う2つの画素を同時に選択し、その一方の画素についてはデータ電流の書き込みを行い、他方の画素回路についてはデータ電流の書き込みを行わず、バイパス電流として利用することで、画素のトランジスタサイズの大型化を抑制しつつ、これらトランジスタに流れる電流よりも書き込みデータ電流を大きく設定することが可能、換言すれば、書き込みデータ電流の電流値を同じとした場合、画素のトランジスタ面積を削減することが可能となるため、画素のアナログスイッチとしてCMOSTランジスタ27を用いることができる。

【0076】第3実施形態に係る画素回路では、TFT24、25に低電流を流すとき、TFT24のソース電位が上昇して当該TFT24のゲート・ソース間電位が小さくなるため、TFT24が十分にオンしなくなる可能性がある。これに対して、第4実施形態に係る画素回路では、CMOSTランジスタ27を用いてアナログスイッチを構成したことで、CMOSTランジスタ27お

よびTFT25に低電流を流すとき、TFT24Aが十分にオンしなくても、TFT24Bが十分にオンするため、CMOSTランジスタ27が十分にオンすることが可能となる。

【0077】なお、上記各実施形態においては、画素の表示素子として有機EL素子を、能動素子としてポリシリコン薄膜トランジスタをそれぞれ用い、ポリシリコン薄膜トランジスタを形成した基板上に有機EL素子を形成してなるアクティブマトリクス型有機EL表示装置に適用する場合を例に採って説明したが、本発明はアクティブマトリクス型有機EL表示装置への適用に限られるものではなく、画素の表示素子として、流れる電流によって輝度に変化するいわゆる電流制御型の電気光学素子を用いるアクティブマトリクス型表示装置全般に適用可能である。

【0078】

【発明の効果】以上説明したように、本発明によれば、アクティブマトリクス型表示装置またはアクティブマトリクス型有機EL表示装置において、データ線を駆動するデータ線電流の一部をバイパス電流として供給するようにした。これによって、画素回路内に設けられたTFTに流れるデータ電流よりもデータ線駆動電流を大きく設定して、輝度データの書き込み時間を大幅に短縮可能とする。また、書き込み時間を同じとするならば、画素回路内に設けられたTFTのトランジスタサイズを小型化することができる。よってディスプレイの大型化・高精細化を図ることが可能となる。

【図面の簡単な説明】

【図1】本発明の第1実施形態に係るアクティブマトリクス型表示装置を示す概略構成図である。

【図2】(A)は第1実施形態における i 列目のデータ線に接続される複数の画素回路の回路構成を示す回路図であり、(B)は本発明の回路動作の概念図である。

【図3】第1実施形態における i 列目の駆動のタイミング関係を示すタイミングチャートである。

【図4】第2実施形態における i 列目のデータ線に接続される複数の画素回路の回路構成を示す回路図である。

【図5】第2実施形態における i 列目の駆動のタイミング関係を示すタイミングチャート(その1)である。

【図6】第2実施形態における i 列目の駆動のタイミング関係を示すタイミングチャート(その2)である。

【図7】4トランジスタ以外の画素回路の構成例を示す回路図である。

【図8】走査用TFTおよび電流-電圧変換用TFTを2画素間で共用した場合の駆動のタイミング関係を示すタイミングチャートである。

【図9】本発明の第3実施形態に係るアクティブマトリクス型表示装置を示す概略構成図である。

【図10】第3実施形態における i 列目のデータ線に接続される複数の画素回路の回路構成を示す回路図であ

る。

【図11】第3実施形態におけるi列目の駆動のタイミング関係を示すタイミングチャートである。

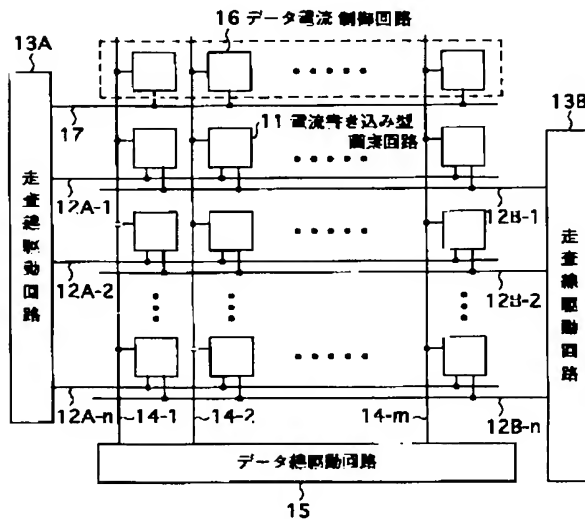
【図12】第4実施形態におけるi列目のデータ線に接続される複数の画素回路の回路構成を示す回路図である。

【図13】電圧書き込み型画素回路を用いたアクティブマトリクス型有機ELディスプレイの構成の概略を示すブロック図である。

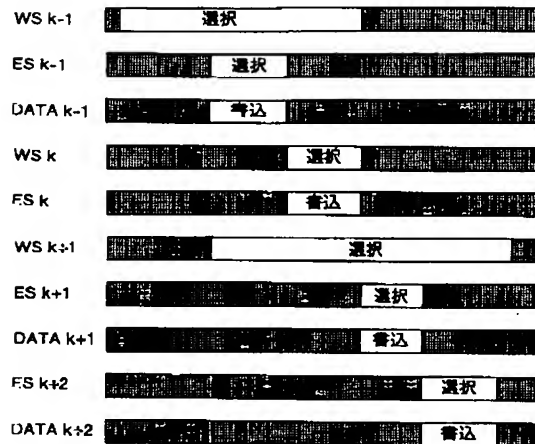
【図14】電圧書き込み型画素回路の回路構成を示す回路図である。

【図15】電流書き込み型画素回路の回路構成を示す回路図である。

【図1】



【図8】



【図16】電流書き込み型画素回路を用いたアクティブマトリクス型有機ELディスプレイの構成の概略を示すブロック図である。

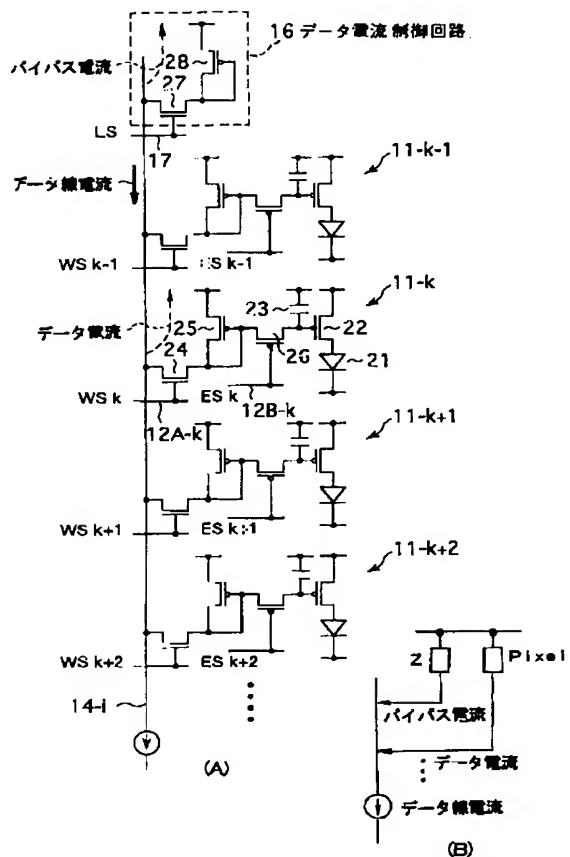
【図17】従来例におけるi列目のデータ線に接続される複数の画素回路の回路構成を示す回路図である。

【図18】従来例におけるi列目の駆動のタイミング関係を示すタイミングチャートである。

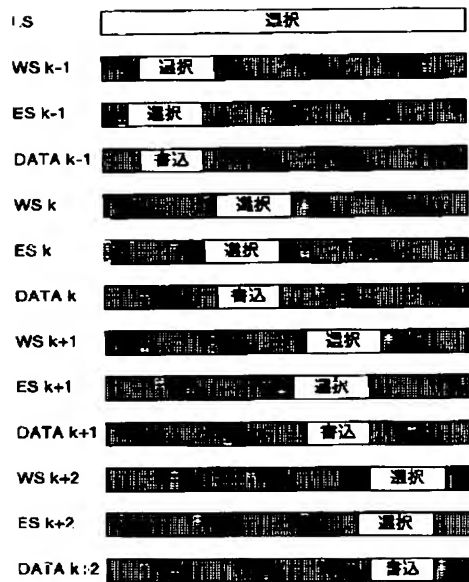
【符号の説明】

11…電流書き込み型画素回路、12A-1～12A-n…第1の走査線、12B-1～12B-n…第2の走査線、13A…第1の走査線駆動回路、13B…第2の走査線駆動回路、14-1～14-m…データ線、15…データ線駆動回路、16…データ電流制御回路

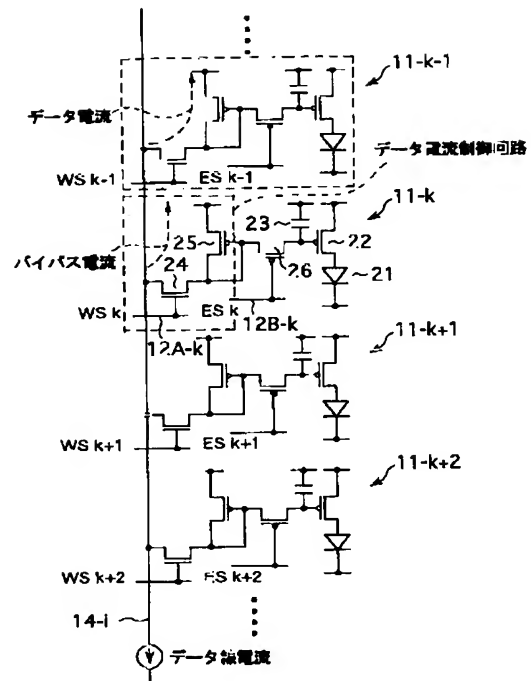
【図2】



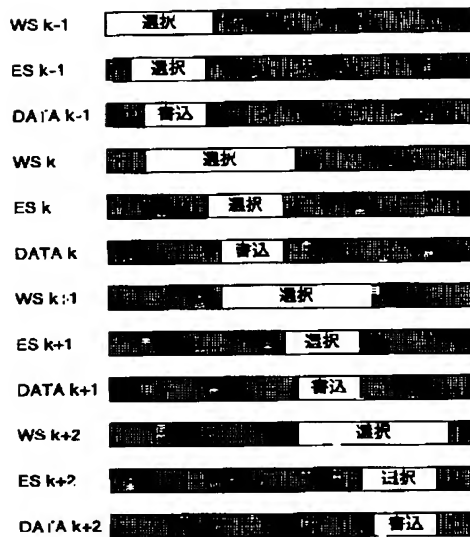
【図3】



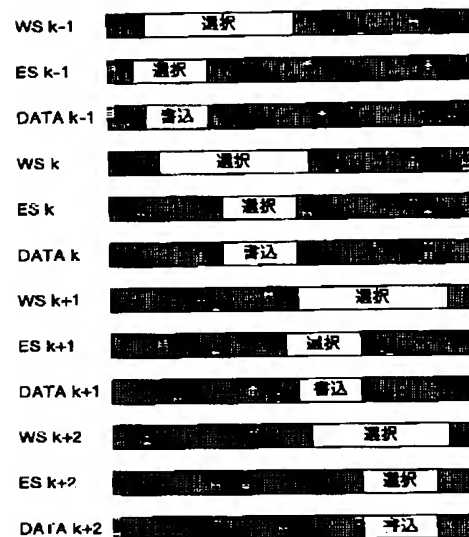
【図4】



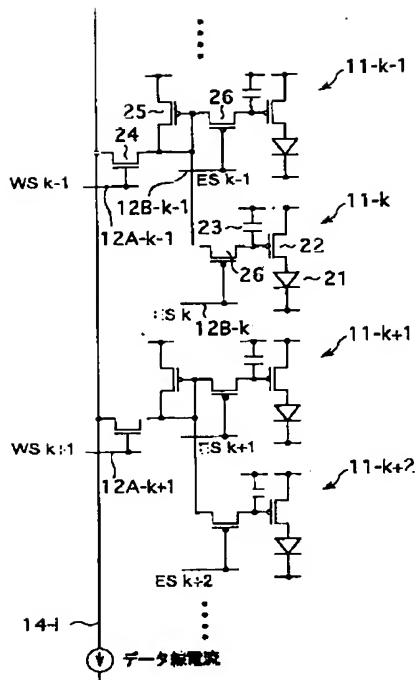
【図5】



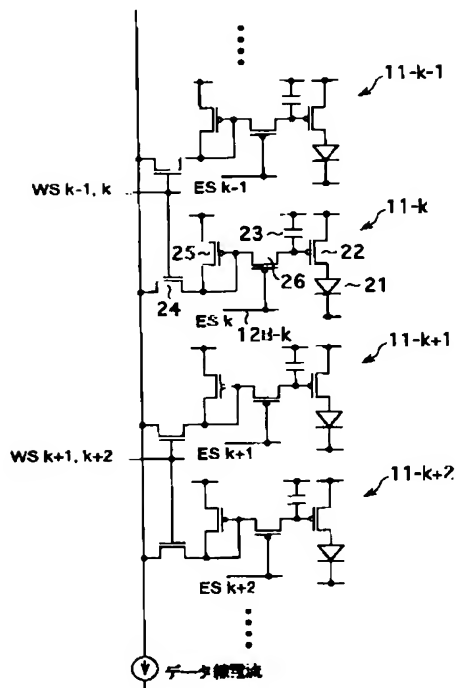
【図6】



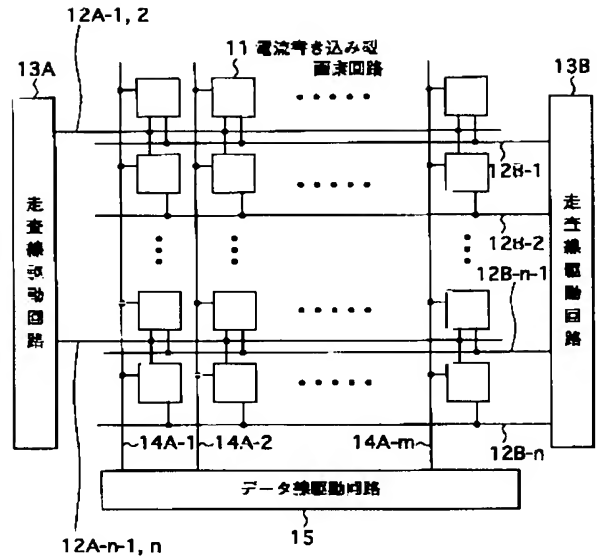
【図7】



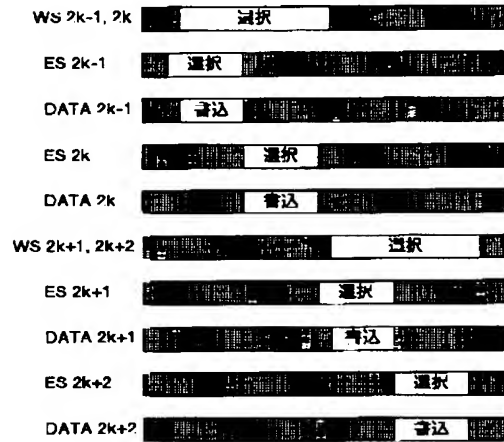
【図10】



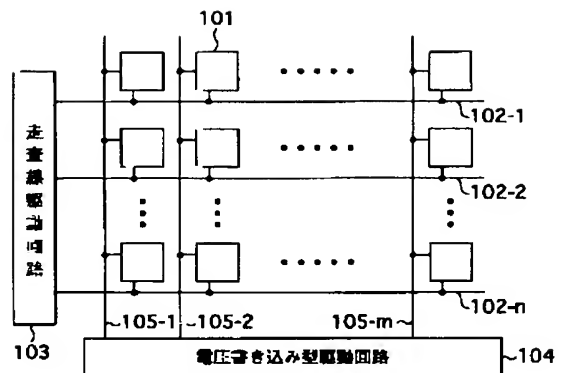
【図9】



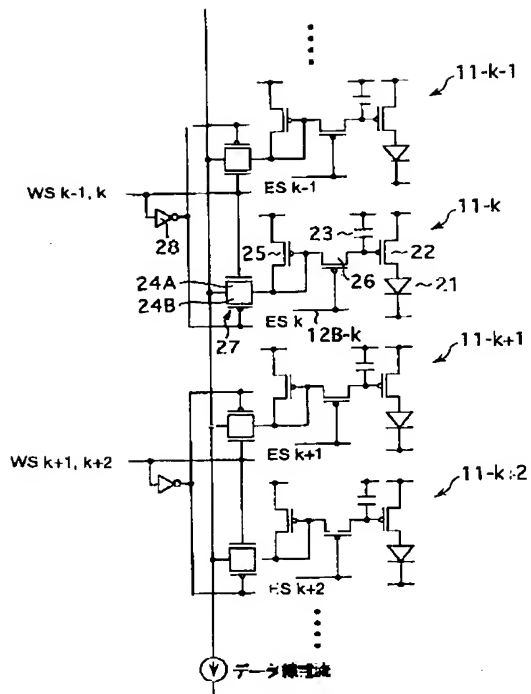
【図11】



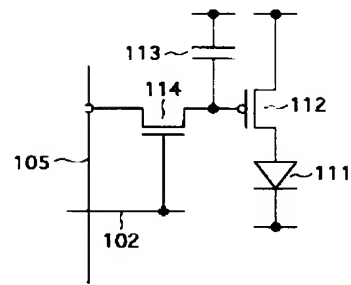
【図13】



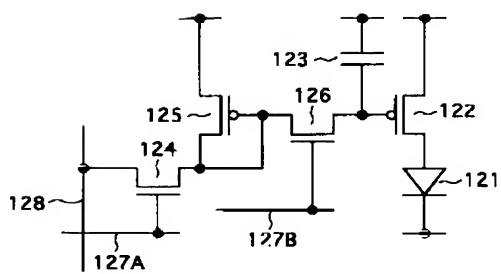
【図12】



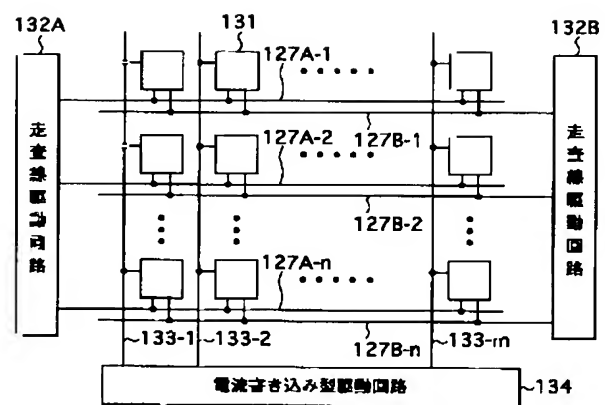
【図14】



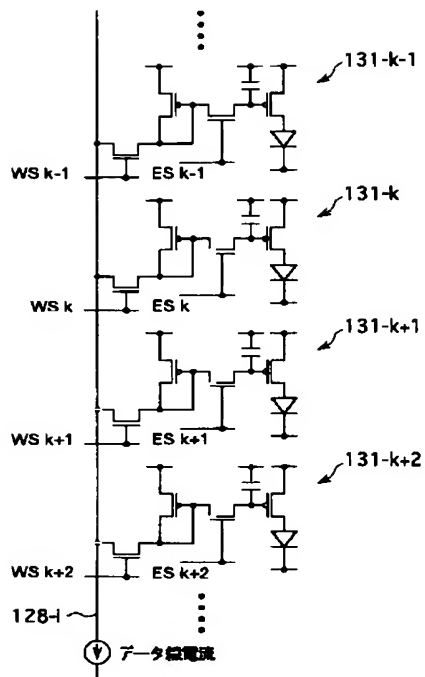
【図15】



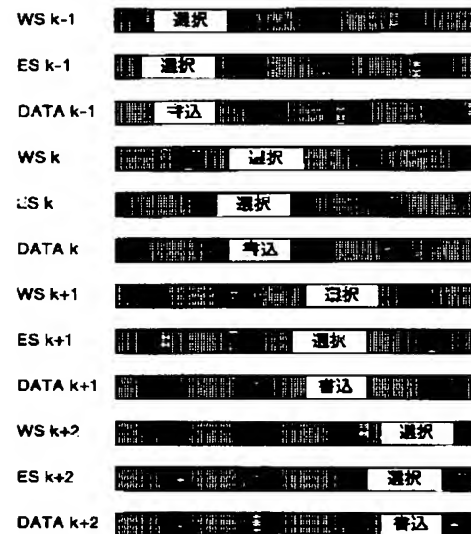
【図16】



【図17】



【図18】



フロントページの続き

(51)Int. Cl. ⁷	識別記号	F I	(参考)
G 0 9 G 3/20	6 2 4	G 0 9 G 3/20	6 2 4 B
	6 4 1		6 4 1 D
H 0 5 B 33/14		H 0 5 B 33/14	A

Fターム(参考) 3K007 AB02 AB17 AB18 BA06 BB07
 DB03 GA02 GA04
 5C080 AA06 BB05 DD03 DD07 DD08
 DD25 DD27 DD28 EE29 FF11
 JJ02 JJ03 JJ04
 5C094 AA05 AA07 AA13 AA15 AA48
 AA53 AA55 AA56 BA03 BA27
 CA19 CA25 DA09 DA13 DB01
 DB04 EA04 FA01 FB01 FB12
 FB14 FB15 FB20 GA10